

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-074910

(43)Date of publication of application : 29.03.1991

(51)Int.Cl.

H03B 5/36

(21)Application number : 01-211042

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 16.08.1989

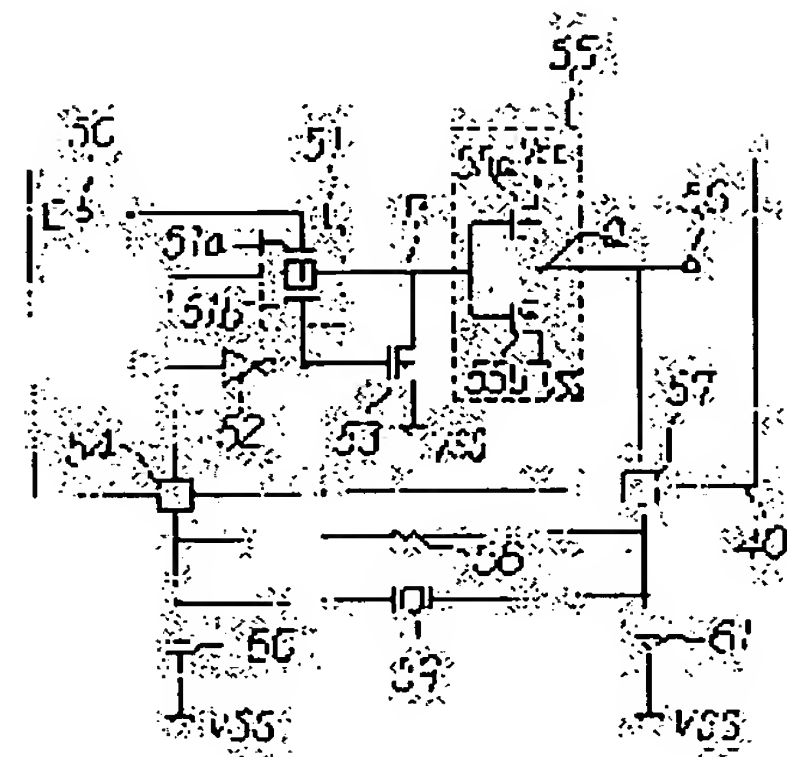
(72)Inventor : TANOI SATOSHI

## (54) OSCILLATION CIRCUIT

### (57)Abstract:

**PURPOSE:** To attain the oscillation at a high frequency by providing a transfer gate between an output side of a vibrator and a PMOS and an NMOS gate of an inverse amplifier circuit and providing a level fixing means fixing a level of both the MOS gates to a prescribed level.

**CONSTITUTION:** When an enable signal E of logic '1' is inputted to an input terminal 50, an NMOS 51a is turned on. Moreover, since the output of an inverter 52 goes to logical '0', a PMOS 51b is turned on to turn off an NMOS 53. As a result, an input of an inverting amplifier circuit 55 and an external connection terminal 54 are connected via a transfer gate 51, then the circuit is in the oscillating state. In this case, an output terminal 56 and an external connection terminal 57 are driven by the inverting amplifier circuit 55. Since one stage of a transistor(TR) circuit only is provided between an output node Q of the circuit 55 and a power supply Vcc and between the output node Q and a ground level Vss, the voltage drop by two stages of TRs is avoided and a high frequency oscillation is attained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平3-74910

⑤ Int. Cl.<sup>3</sup>  
H 03 B 5/36

識別記号 庁内整理番号  
8321-5 J

⑬ 公開 平成3年(1991)3月29日

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 発振回路

⑮ 特 願 平1-211042

⑯ 出 願 平1(1989)8月16日

⑰ 発 明 者 田 野 井 聡 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑱ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑲ 代 理 人 弁理士 柿 本 恭 成

明 細 書

1. 発明の名称

発振回路

2. 特許請求の範囲

固有の周波数で振動する振動子と、

前記振動子の出力電圧を反転増幅して出力ノードへ出力すると共に前記振動子へ帰還する反転増幅回路とを、有する発振回路において、

前記反転増幅回路は、

ソース・ドレインが電源電位と前記出力ノードとの間に接続され、ゲートに前記振動子の出力電圧が印加されるPチャネル型MOSトランジスタと、

ソース・ドレインが前記出力ノードと接地電位との間に接続され、ゲートに前記振動子の出力電圧が印加されるNチャネル型MOSトランジスタとで構成すると共に、

前記振動子の出力側と前記Pチャネル型MOSトランジスタおよびNチャネル型MOSトランジスタのゲートとの間に接続され、イネーブル信号

に基づきオン・オフ動作するトランスファゲートと、

前記イネーブル信号に基づき、前記Pチャネル型MOSトランジスタおよびNチャネル型MOSトランジスタのゲートを一定電位に固定する電位固定手段とを、

設けたことを特徴とする発振回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、LSI等に内蔵され、相補型MOSトランジスタ構成(以下、CMOSという)のインバータを用いて発振波を駆動する発振回路、特に発振停止制御の機能を備えた発振回路に関するものである。

(従来の技術)

従来、このような分野の技術としては、①特開昭55-46612号公報、②特開昭62-132405号公報等に記載されるものがあった。以下、その構成を図を用いて説明する。

第2図は、文献①に記載された従来の発振回路

の一構成例を示す回路図である。

この発振回路は、2入力NANDゲート10を有している。このNANDゲート10は、反転増幅回路11と、発振停止制御用のPチャネルMOSトランジスタ(以下、P-MOSという)12及びNチャネルMOSトランジスタ(以下、N-MOSという)13とを備え、そのP-MOS12のゲートがイネーブル信号S1用入力端子14に接続されている。反転増幅回路11は、出力ノードNにおいてP-MOS11aとN-MOS11bとが直列接続されたCMOSインバータで構成され、その出力ノードNが出力端子15および抵抗16を介して外部接続端子17に接続されている。さらに、外部接続端子17は、容量18を介して接地電位VSSに接続され、その上、外部接続端子17、19との間に帰還抵抗20および水晶振動子21が並列接続されている。その外部接続端子19が容量22を介して接地電位VSSに接続されると共に、抵抗23を介して入力端子24に接続されている。

されている。この反転増幅回路32の入出力間には、振動子35とP-MOS33aおよびN-MOS33bで構成されている帰還抵抗用回路33とが接続されている。また、振動子35の一方端と電流遮断制御回路との間には、スイッチング用のP-MOS34が接続されている。

この発振回路は次のように動作する。

発振停止制御手段30から相補的な制御信号、例えば“1”がP-MOS34に印加すると、このP-MOS34はオフする。このとき、電流遮断制御回路31を構成しているP-MOS31bおよびN-MOS31aはオンする。この結果、反転増幅回路32は入力電圧を反転増幅し、この発振回路は発振を行う。

また、“0”がP-MOS34に印加すると、この発振回路は上記動作と逆の動作をし、出力端子32cがハイインピーダンス状態になる。これにより、この発振回路は発振を停止する。

(発明が解決しようとする課題)

しかしながら、上記構成の発振回路では、次の

この発振回路は、イネーブル信号S1が論理“1”のとき、P-MOS12がオフとなり、入力端子24の論理に従い、NANDゲート10が実質的に反転増幅するインバータと同等になって発振する。逆に論理“0”であれば、P-MOS12がオンし、NANDゲート10の出力は論理“1”に固定される。したがって発振は停止される。

第3図は、上記文献②に記載された従来の他の発振回路の一構成例を示す回路図である。

この発振回路は、発振停止および発振開始を制御する発振停止制御手段30を有し、その発振停止制御手段30が貫通電流遮断用の電流遮断制御手段31に接続されている。電流遮断制御手段31は、N-MOS31a、P-MOS31bおよびインバータ31cを備え、反転増幅回路32に接続されている。反転増幅回路32は、出力ノードNにおいてP-MOS32aとN-MOS32bとが直列接続されたCMOSインバータで構成され、その出力ノードNが出力端子32cに接続

ような課題があった。

上記文献①に記載された発振回路においては、出力ノードNと接地電位VSSとの間に直列接続されたN-MOSが2個設けられている(N-MOS11b、13)。さらに、文献②に記載された発振回路では、同様に出力ノードNと接地電位VSSとの間に直列接続されたN-MOSが2個設けられているだけでなく(N-MOS31a、32b)、出力ノードNと電源電位VCCとの間においても2個のP-MOSが設けられている(P-MOS31b、32a)。上記いずれの文献においても、出力ノードNと接地電位VSSまたは出力ノードNと電源電位VCCとの間に複数のトランジスタが直列接続された構成となっていた。このため、振動子両端に単純なCMOSインバータを接続する構成の発振回路と比較すると、同一寸法のトランジスタでは、出力のインピーダンスが大きくなり、駆動能力が小さくなるという問題があった。

例えば、上記文献①の発振回路において、反転

増幅回路11は発振安定用の容量18, 22を充放電する。高い発振周波数を望めば、その周期に間に合うように、充放電する必要がある。しかし、反転増幅回路11の駆動能力が小さいと、容量18, 22の充放電時間が長くなりがちになる。これにより、所望の発振周波数を達成することが困難になるという問題があった。

本発明は、前記従来技術が持っていた課題として、駆動能力が不足して発振周波数の上限を高くできないという点について解決した発振回路を提供するものである。

(課題を解決するための手段)

本発明では、前記課題を解決するために、固有の周波数で振動する振動子と、前記振動子の出力電圧を反転増幅して出力ノードへ出力すると共に前記振動子へ帰還する反転増幅回路とを、有する発振回路において、次のような手段を講じたものである。前記反転増幅回路は、ソース・ドレインが電源電位と前記出力ノードとの間に接続され、ゲートに前記振動子の出力電圧が印加されるPチャ

ネル型MOSトランジスタと、ソース・ドレインが前記出力ノードと接地電位との間に接続され、ゲートに前記振動子の出力電圧が印加されるNチャネル型MOSトランジスタとで構成すると共に、前記振動子の出力側と前記Pチャネル型MOSトランジスタおよびNチャネル型MOSトランジスタのゲートとの間に接続され、イネーブル信号に基づきオン・オフ動作するトランスファゲートと、前記イネーブル信号に基づき前記Pチャネル型MOSトランジスタおよびNチャネル型MOSトランジスタのゲートを一定電位に固定する電位固定手段とを、設けたものである。

(作用)

本発明によれば、以上のように発振回路を構成したので、反転増幅回路は、PMOSおよびNMOSにより振動子の出力電圧を反転増幅して高周波の発振波を出力端子に出力する。トランスファゲートは、振動子の出力側と反転増幅回路の入力側を電気的に接続または遮断し、発振状態/発振停止状態を制御するように働く。電位固定手段

は、発振停止時において反転増幅回路の入力側の電位を固定して出力端子に所望の論理レベルを供給するように働く。

したがって、前記課題を解決することができるのである。

(実施例)

第1図は、本発明の実施例を示す発振回路の回路図である。

この発振回路は、LSI40内にイネーブル信号E用の入力端子50を有し、その入力端子50がトランスファゲート51に接続されている。トランスファゲート51は、入力端子50にゲートが接続されたN-MOS51aと、そのN-MOS51aと並列接続されたP-MOS51bとを備えている。これらN-MOS51aおよびP-MOS51bのドレインまたはソースとして機能する電極の一方が、LSI40と外部素子等とを接続するための外部接続端子54に、他方がノードPにそれぞれ接続されている。

一方、入力端子50は、インバータ52を介し

てP-MOS51bのゲートに接続されると共に、電位固定手段であるプルダウン用のN-MOS53のゲートに接続されている。N-MOS53はドレインがノードPに、ソースが接地電位VSSにそれぞれ接続され、ノードPを論理“0”に固定する手段である。そのノードPには、反転増幅回路55が接続されている。反転増幅回路55は、CMOS構成のP-MOS55aおよびN-MOS55bを備え、それらのゲートがノードPに接続されている。P-MOS55aのソースが電源電位VCCに、ドレインが出力ノードQにそれぞれ接続され、N-MOS55bのドレインがその出力ノードQに、ソースが接地電位VSSにそれぞれ接続されている。さらに、出力ノードQには発振波出力用の出力端子56が接続されると共に、外部接続端子57が接続されている。外部接続端子54, 57の間には負帰還抵抗58と、固有の周波数で振動する例えば、水晶振動子59とが並列接続されている。そして外部接続端子54と接地電位VSSとの間には容量60が接続され、

外部接続端子57と接地電位VSSとの間には容量61が接続されている。

以上のように構成される発振回路は次のように動作する。

まず、入力端子50に論理“0”のイネーブル信号Eが入力されると、N-MOS51aはオフする。一方、インバータ52の出力が論理“1”となるので、P-MOS51bがオフし、N-MOS53がオンする。このように、トランスファゲート51がオフ状態となる一方、プルダウン用のN-MOS53はオン状態であるので、ノードPは外部接続端子54の論理状態にかかわらず、論理“0”となる。その結果、反転増幅回路55の出力ノードQは論理“1”に固定される。このため、同様に出力端子56および外部接続端子57も論理“1”固定される。つまり、発振停止状態となる。

次に、入力端子50に論理“1”のイネーブル信号Eが入力されると、N-MOS51aはオンする。さらに、インバータ52の出力が論理“0”

となるので、P-MOS51bがオンする一方、N-MOS53はオフする。この結果、トランスファゲート51を介して反転増幅回路55の入力側と外部接続端子54が電氣的に接続されるので、回路は発振状態となる。この時、出力端子56および外部接続端子57は、反転増幅回路55で駆動される。

本実施例では、次のような利点がある。

反転増幅回路55の出力ノードQと電源電位VCCとの間および出力ノードQと接地電位VSSとの間には、それぞれトランジスタが一段のみの構成(PMOS55a、NMOS55b)とした。したがって、従来のように、複数段のMOSトランジスタが直列に接続されたものに比べて、小さなゲート幅のトランジスタであっても充分高い駆動能力が得られる。即ち、例えば従来のように、2段のMOSトランジスタが出力ノードQと接地電位VSSとの間に直列接続されている場合、出力ノードQに接続された一段目のMOSトランジスタのゲート電圧は、2段目に接続されたMOS

トランジスタの電圧降下で低下する。ゲート・ソース間電圧で増幅度が決定されるため、ゲート・ソース間電圧が小さくなると増幅度、つまり駆動能力が低下する。本実施例では、上記のように一段のみのMOSトランジスタで構成したので、2段分の電圧降下が生じることがない。これにより、従来よりも高周波の発振が可能となる。

第4図は、本発明の第2の実施例の発振回路の回路図であり、第1図と共通の要素には同一の符号が付されている。

この発振回路は、発振停止時の出力端子56および外部接続端子57の論理状態を論理“0”に設定できるように構成したものである。即ち、第1図の電位固定手段であるNMOS53をPMOS53aに代え、そのPMOS53aを、電源電位VCCとノードPとの間に接続している。さらに、PMOS53aのゲートを、NMOS51aのゲートと入力端子50とに共通接続した構成である。

この発振回路は、次のような動作をする。

イネーブル信号Eが論理“0”であると、トランスファゲート51のNMOS51aおよびPMOS51bがオフする。一方、電位固定手段であるPMOS53aがオンとなるので、ノードPは論理“1”に固定され、出力端子56および外部接続端子57には論理“0”が供給される。

また、イネーブル信号Eが論理“1”であると、トランスファゲート51のNMOS51aおよびPMOS51bがいずれもオンする。一方、電位固定手段であるPMOS53aはオフとなるので、本発振回路は発振状態になる。

本実施例では、次のような利点がある。

第1の実施例と同様の効果がある他、発振停止時に出力端子56が論理“0”となるようにでき、例えば次段回路が論理“0”を要求していれば、その要求の通りセッティングできる。

第5図は、本発明の第3の実施例を示す発振回路の回路図であり、第1図と共通の要素には同一の符号が付されている。

この発振回路は、発振停止時の出力端子56が



ハイ・インピーダンスに設定できるように構成したものである。反転増幅回路55におけるPMOS55aのゲートと外部接続端子54との間に、トランスファゲート51のNMOS51aを設け、さらにNMOS55bのゲートと外部接続端子54との間に、トランスファゲート51のPMOS51bを設けている。また、PMOS55aのゲート側ノードP1と電源電位VCCとの間には、電位固定手段であるPMOS53bが接続され、そのPMOS53bのゲートがNMOS51aのゲートと共に入力端子50に接続されている。NMOS55bのゲート側ノードP2と接地電位VSSとの間には、電位固定手段であるNMOS53cが接続され、そのNMOS53cのゲートが、PMOS51bのゲートと共にインバータ52を介して入力端子50に接続されている。以上の構成の他は、第1図と同様の構成をしている。

次に、動作を説明する。

イネーブル信号Eが論理“0”であると、トラ

ンスファゲート51のNMOS51aがオフする。さらに、電位固定手段であるPMOS53bがオンとなるので、ノードP1は論理“1”に固定され、PMOS55aはオフする。一方、インバータ52の出力が論理“1”となるので、PMOS51bがオフし、NMOS53cがオンする。その結果、ノードP2は論理“0”に固定される。ノードP2が論理“0”に固定されるので、NMOS55bがオフする。このように、出力端子56を駆動するPMOS55aおよびNMOS55bのいずれもオフとなるので、出力端子56および外部接続端子57は、ハイ・インピーダンス状態になる。

また、イネーブル信号Eが論理“1”であると、トランスファゲート51のNMOS51aおよびPMOS51bが共にオンする。一方、電位固定手段であるPMOS53bおよびNMOS53cはオフとなるので、外部接続端子54と反転増幅回路55の入力側とが電気的に接続され、本発振回路は発振状態になる。

本実施例は次のような利点がある。

- (1) 外部接続端子57をハイ・インピーダンス状態にすることができるので、外部接続端子57よりLSI40内部に水晶振動子59の特性とは無関係な外部クロックを与えることができる。例えば、後段の論理回路に対してテスト用のクロック信号(2倍または8倍等)を供給するのに好適である。
- (2) 第1の実施例と同様に、出力端子56が、PMOS55aとNMOS55bとの一段ずつより構成される反転増幅回路55で駆動されるので、従来の第3図に示すような出力端子をハイインピーダンス状態にできる発振回路に比べて高周波での発振が可能となる。
- (3) 発振時において、ノードP1およびノードP2の電位は、電源電位VCCと接地電位VSSとの間では振幅しない。例えば、外部接続端子54の電位が上昇すると、これに伴ってノードP1の電位VQも上昇する。ところが、ノードP1の電位VQがある一定電位に至ると、NMOS51

aのゲート電圧VG( $VG = VE - VQ$ 、但し、VE:入力端子50の電位)は、不足してノードP1の電位の上昇は停止する。このため、ノードP1の電位は、電源電位VCCより所定の電位分、低い電位と接地電位VSSとの間で振幅する。

一方、ノードP2の電位については、PMOS51bの作用で逆に電位の低下が制限され、接地電位VSSより所定の電位分、高い電位と電源電位VCCとの間で振幅する。この結果、反転増幅回路55のPMOS55aおよびNMOS55bのいずれも完全にオフ状態にならない。つまり、不必要に深い飽和状態にならない。そのため、高速にオン・オフ動作でき、高周波発振に有利である。

なお、本発明は図示の実施例に限定されず、種々の変形が可能である。例えば、第1、第2および第3の実施例では、振動子として水晶振動子59を用いたが、例えば、セラミック振動子等を用いることも可能である。

(発明の効果)

以上詳細に説明したように、本発明によれば、振動子の出力側と反転増幅回路のPMOSおよびNMOSのゲートとの間にトランスファークゲートを設け、さらにそのPMOSおよびNMOSのゲートの電位を一定電位に固定する電位固定手段を設けたので、発振状態／発振停止状態を制御でき、発振停止状態時において出力端子に所望の論理レベルを供給できる。

その上、電源電位および出力ノード間と出力ノードおよび接地電位間とをそれぞれ一段のMOSトランジスタで構成した反転増幅回路を用いて振動子を駆動するようにしたので、従来のように、複数段のMOSトランジスタを直列接続したものに比べ、極めて高い周波数での発振が可能である。

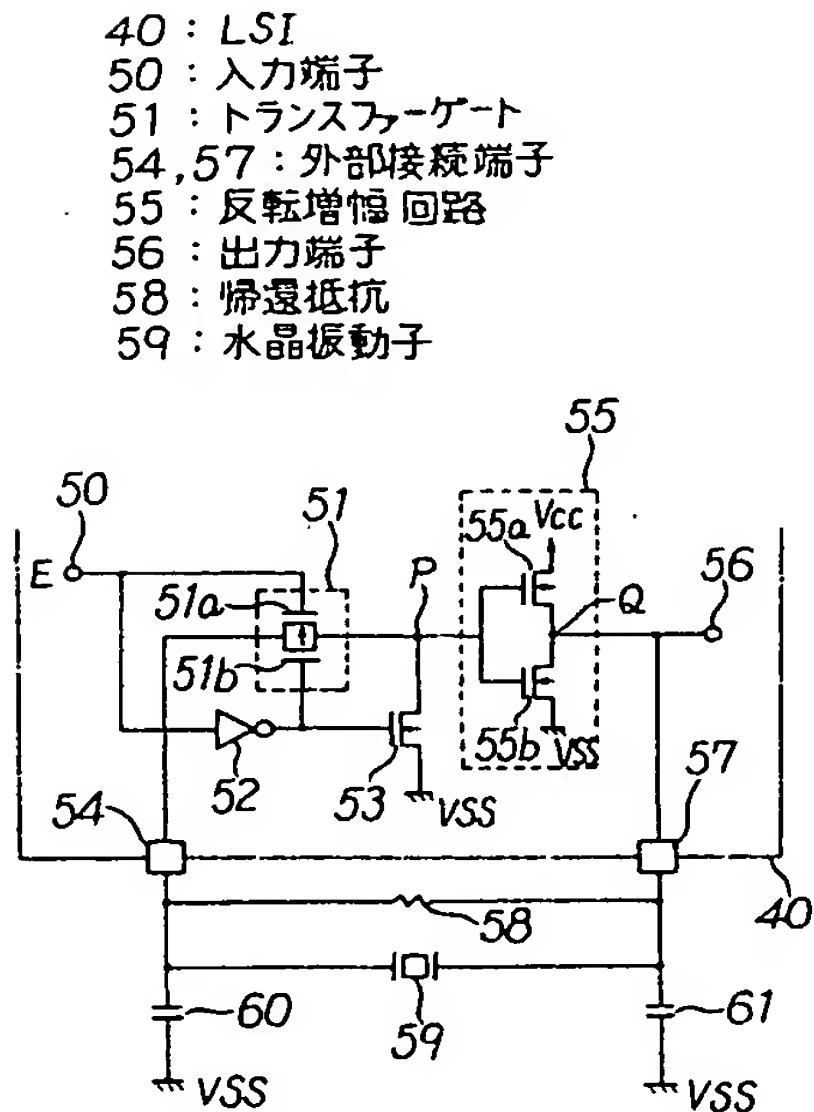
#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す発振回路の回路図、第2図は従来の発振回路の回路図、第3図は従来の他の発振回路の回路図、第4図は本発明の第2の実施例を示す発振回路の回路図、第5図は本発明の第3の実施例を示す発振回路の回

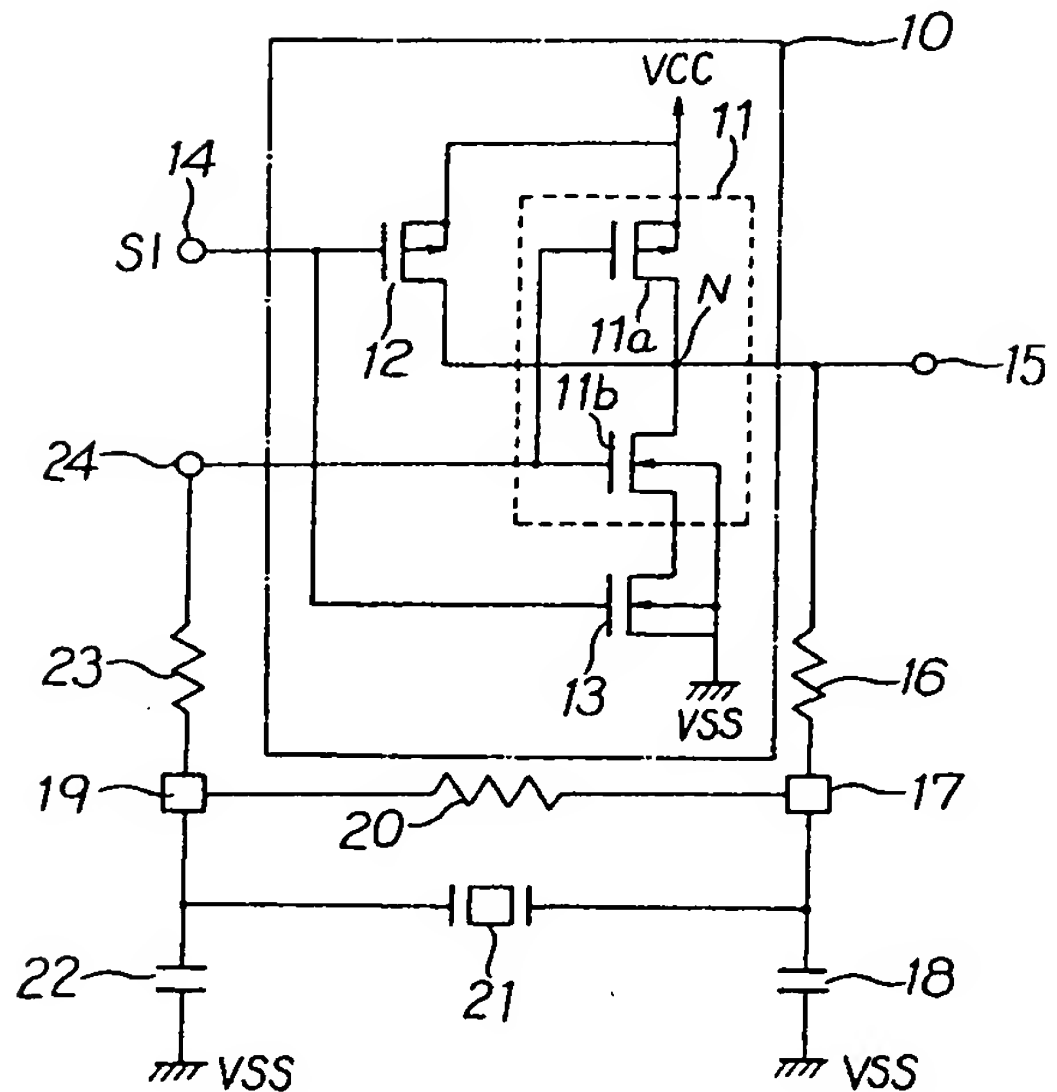
路図である。

40……LSI、51……トランスファークゲート、53、53a、53b、53c……電位固定手段、54、57……外部接続端子、55……反転増幅回路、58……帰還抵抗、59……水晶振動子、E……イネーブル信号、Q……出力ノード。

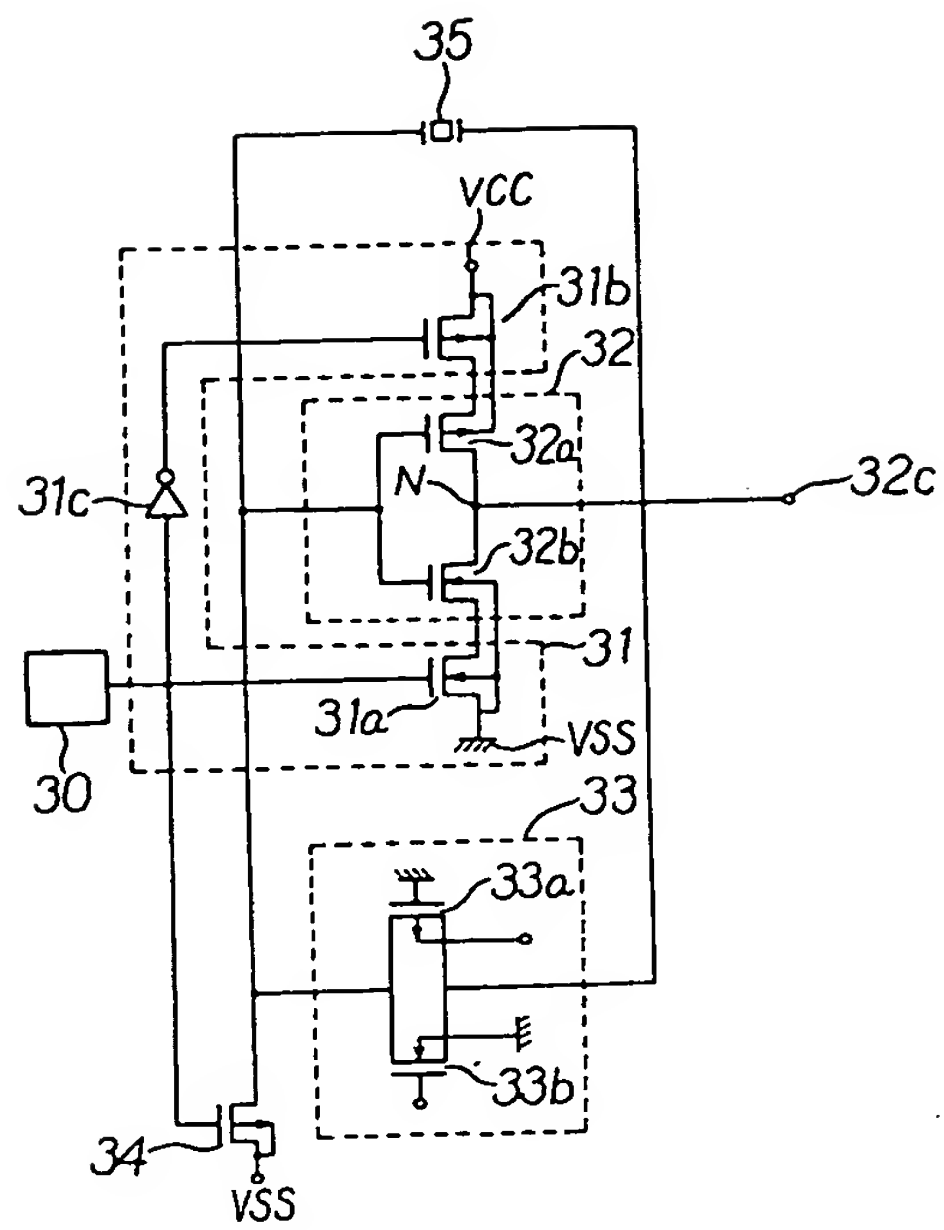
出願人 沖電気工業株式会社  
代理人 弁理士 柿本 恭成



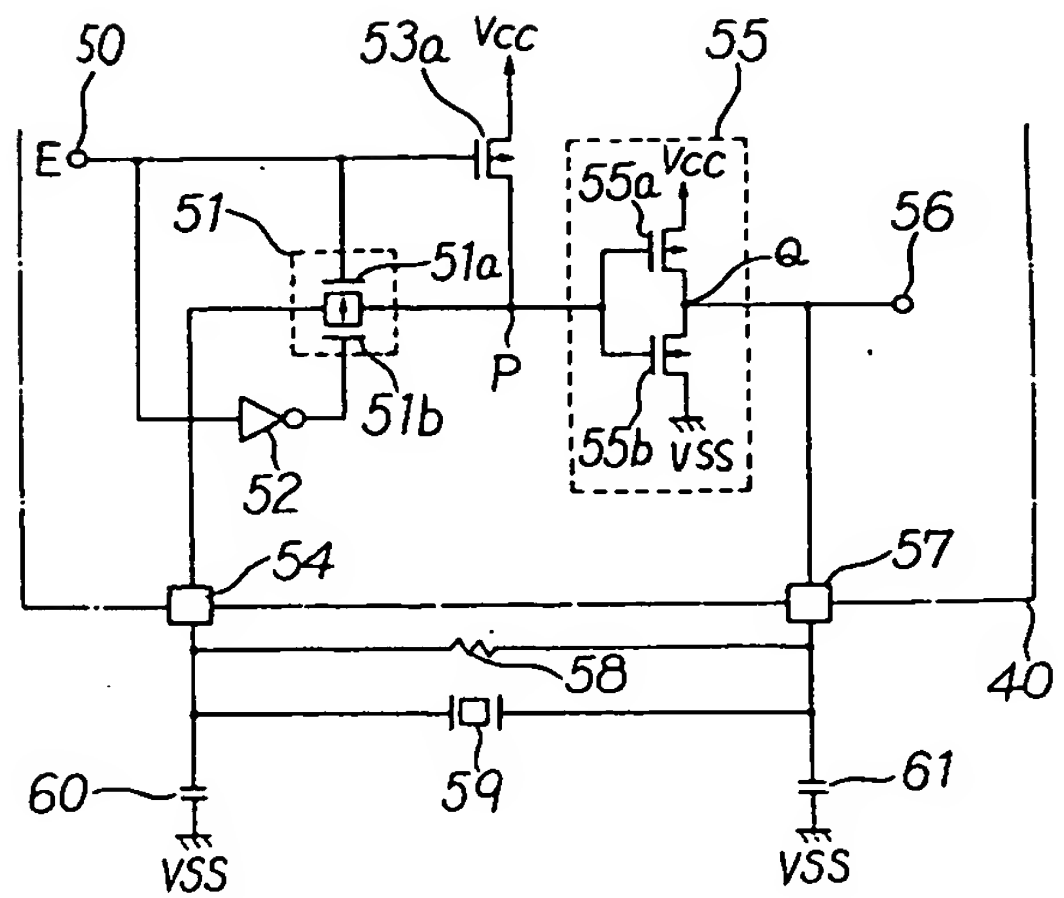
本発明の第1の実施例の発振回路  
第1図



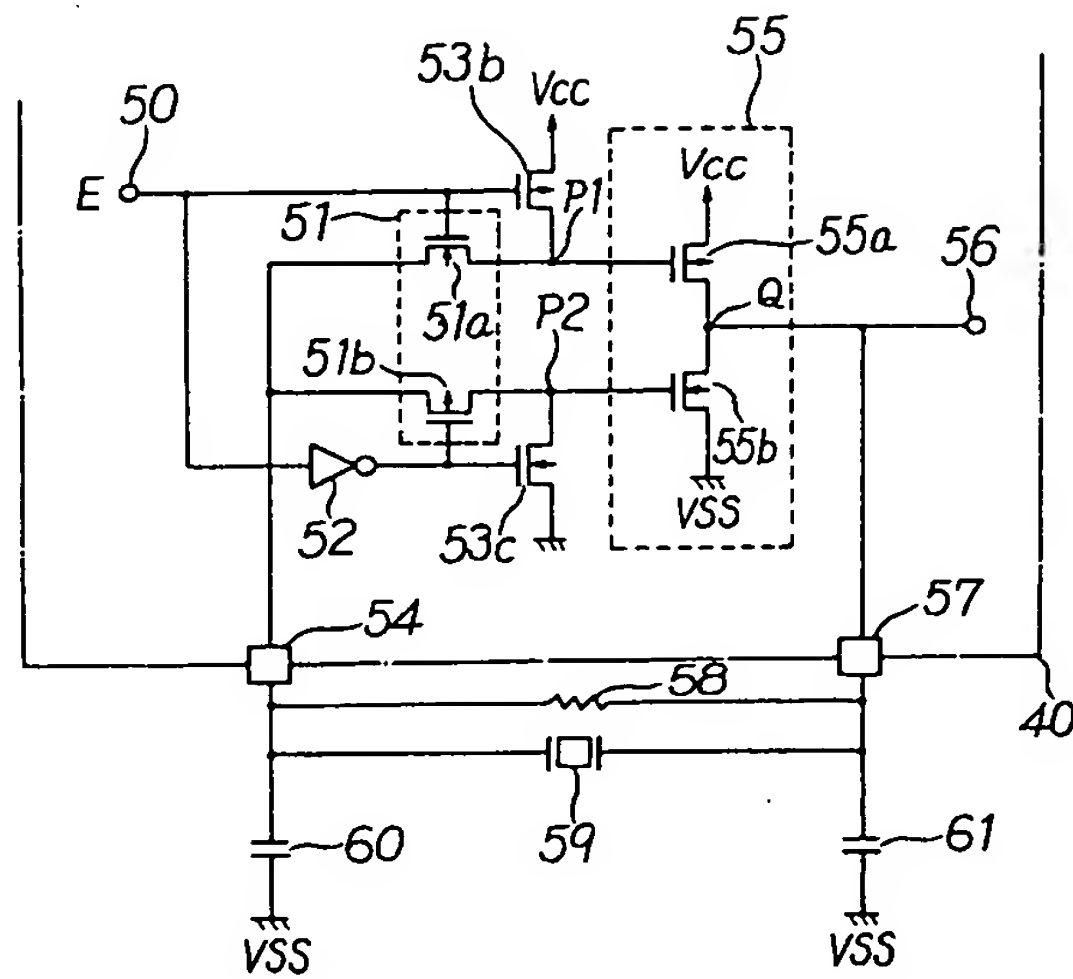
従来の発振回路  
第2図



従来の他の発振回路  
第 3 図



本発明の第2の実施例の発振回路  
第 4 図



本発明の第3の実施例の発振回路  
第 5 図